

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-149757

(43)公開日 平成10年(1998)6月2日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 H 59/00

H 0 1 H 59/00

H 0 3 K 17/965

H 0 3 K 17/965

B

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21)出願番号

特願平8-307758

(22)出願日

平成8年(1996)11月19日

(71)出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72)発明者 宇野 圭輔

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

(72)発明者 大場 正利

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

(74)代理人 弁理士 青山 葆 (外3名)

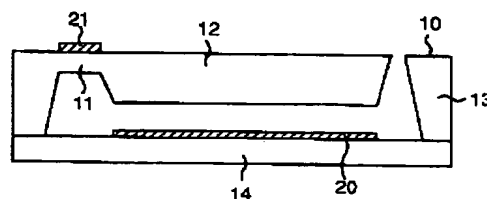
(54)【発明の名称】 半導体マイクロリレー

(57)【要約】

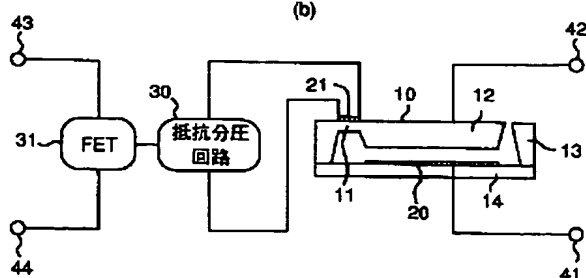
【課題】 耐圧が高く、ノイズの影響を受けにくい半導体マイクロリレーを提供することにある。

【解決手段】 半導体マイクロリレーは、駆動素子10と、抵抗分圧回路30と、電界効果トランジスタFET31とからなるものである。そして、前記駆動素子10は、ヒンジ部11を介して可動部12を厚さ方向に弾性変位可能に支持し、この可動部12の下面に対向するガラスプレート14の対向面に駆動用固定電極20を設けてある。さらに、前記可動部12のヒンジ部11にひずみ抵抗素子21を設け、前記可動部12および駆動用固定電極20を入力端子42、41にそれぞれ接続してある。また、前記抵抗分圧回路30は前記ひずみ抵抗素子21に接続してある。さらに、前記電界効果トランジスタFET31は前記抵抗分圧回路30をゲートに接続し、かつ、出力端子43、44に接続してある。

(a)



(b)



【特許請求の範囲】

【請求項1】 少なくとも一つのヒンジ部を介して可動部を厚さ方向に弾性変位可能に支持する一方、この可動部の表裏面に対向する対向面のうち、少なくともいずれか一方の対向面に駆動用固定電極を設けるとともに、前記可動部の少なくとも一つのヒンジ部にひずみ抵抗素子を設け、前記可動部および駆動用固定電極を入力端子にそれぞれ接続した駆動素子と、

前記ひずみ抵抗素子に接続した抵抗分圧回路と、

この抵抗分圧回路をゲートに接続し、かつ、出力端子に接続した電界効果トランジスタFETと、

からなることを特徴とする半導体マイクロリレー。

【請求項2】 ダイアフラムとなる薄板状可動部を厚さ方向に弾性変位可能に支持する一方、前記可動部の表裏面に対向する対向面のうち、少なくともいずれか一方の対向面に駆動用固定電極を設けるとともに、前記可動部の周辺縁部に少なくとも一つのひずみ抵抗素子を設け、前記可動部および駆動用固定電極を入力端子にそれぞれ接続した駆動素子と、

前記ひずみ抵抗素子に接続した抵抗分圧回路と、

この抵抗分圧回路をゲートに接続し、かつ、出力端子に接続した電界効果トランジスタと、

からなることを特徴とする半導体マイクロリレー。

【請求項3】 複数の前記ひずみ抵抗素子を複数の抵抗分圧回路を介して複数の電界効果トランジスタにそれぞれ接続したことを特徴とする請求項1または2に記載の半導体マイクロリレー。

【請求項4】 前記抵抗分圧路と電界効果トランジスタとの間に電圧比較回路を挿入したことを特徴とする請求項1ないし3のいずれか1項に記載の半導体マイクロリレー。

【請求項5】 前記電圧比較回路に基準電圧調整回路を付加したことを特徴とする請求項1ないし4のいずれか1項に記載の半導体マイクロリレー。

【請求項6】 前記駆動素子、抵抗分圧回路等の処理回路および電界効果トランジスタFETを1枚のチップに実装したことを特徴とする請求項1ないし5のいずれか1項に記載の半導体マイクロリレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体を利用したマイクロリレーに関する。

【0002】

【従来の技術と発明が解決しようとする課題】 従来、半導体を利用したスイッチング素子としてはアナログスイッチ等がある。このようなスイッチング素子は複数のトランジスタを組み合わせることにより、入力信号によって出力端子間の電流をオン、オフする。

【0003】 しかしながら、これらのスイッチング素子は入力端子と出力端子とが完全に絶縁されていない。こ

のため、耐圧が低いとともに、入力端子に加えられる信号のノイズの影響を受けやすく、誤動作しやすいという問題点がある。

【0004】 本発明は、前記問題点に鑑み、耐圧が高く、ノイズの影響を受けにくい半導体マイクロリレーを提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明にかかる半導体マイクロリレーは、前記目的を達成するため、少なくとも一つのヒンジ部を介して可動部を厚さ方向に弾性変位可能に支持する一方、この可動部の表裏面に対向する対向面のうち、少なくともいずれか一方の対向面に駆動用固定電極を設けるとともに、前記可動部の少なくとも一つのヒンジ部にひずみ抵抗素子を設け、前記可動部および駆動用固定電極を入力端子にそれぞれ接続した駆動素子と、前記ひずみ抵抗素子に接続した抵抗分圧回路と、この抵抗分圧回路をゲートに接続し、かつ、出力端子に接続した電界効果トランジスタFETと、からなる構成としてある。

【0006】 ダイアフラムとなる薄板状可動部を厚さ方向に弾性変位可能に支持する一方、前記可動部の表裏面に対向する対向面のうち、少なくともいずれか一方の対向面に駆動用固定電極を設けるとともに、前記可動部の周辺縁部に少なくとも一つのひずみ抵抗素子を設け、前記可動部および駆動用固定電極を入力端子にそれぞれ接続した駆動素子と、前記ひずみ抵抗素子に接続した抵抗分圧回路と、この抵抗分圧回路をゲートに接続し、かつ、出力端子に接続した電界効果トランジスタと、からなる構成であってもよい。

【0007】 複数の前記ひずみ抵抗素子を複数の抵抗分圧回路を介して複数の電界効果トランジスタにそれぞれ接続しておいてもよい。

【0008】 前記抵抗分圧路と電界効果トランジスタとの間に電圧比較回路を挿入しておいてもよく、あるいは、前記電圧比較回路に基準電圧調整回路を付加しておいてもよい。

【0009】 前記駆動素子、抵抗分圧回路等の処理回路および電界効果トランジスタFETを1枚のチップに実装しておいてもよい。

【0010】

【発明の実施の形態】 次に、本発明にかかる実施形態を図1ないし図6の添付図面に従って説明する。第1実施形態にかかる半導体マイクロリレーは、図1(a)、

(b)に示すように、駆動素子10と、静電容量検出回路30と、電界効果トランジスタFET31とからなるものである。

【0011】 前記駆動素子10は、シリコンプレートにエッチング処理を施すことにより、ヒンジ部11で回動可能に片持支持された可動部12を有する駆動プレート13からなるものである。そして、この駆動プレート1

3の裏面にガラスプレート14を接合一体化してある。さらに、前記ガラスプレート14の上面のうち、前記可動部12に対向する部分に駆動用固定電極20が形成されている。また、前記ヒンジ部11の上面にひずみ抵抗素子21が設けられている。なお、前記駆動プレート13の上面には断面コ字形のガラスプレートを接合一体化しておいてもよい。

【0012】前記駆動用固定電極20および可動部12は入力端子41、42にそれぞれ接続されている。また、ひずみ抵抗素子21は抵抗分圧回路30を介して電界効果トランジスタFET31に接続されている。この抵抗分圧回路30はひずみ抵抗素子21の変形に基づく抵抗の変化を検出してFET31をオン、オフできるように調整されている。さらに、前記FET31は出力端子43、44に接続されている。

【0013】したがって、入力端子41、42に電圧を印加すると、駆動用固定電極20と可動部12との間に静電引力が生じ、可動部12がガラスプレート14側に引き寄せられる。これに応じて可動部12のヒンジ部11に設けたひずみ抵抗素子21が引っ張られ、電気抵抗が大きくなる。この変化を抵抗分圧回路30が検出し、FET31に電圧を印加し、出力端子43、44間の導通をオンする。

【0014】そして、前記入力端子41、42に対する電圧の印加を解除すると、前述の静電引力が消失し、可動部12は自己のバネ力によって元の状態に復帰する。このため、ひずみ抵抗素子21の電気抵抗が小さくなり、この変化を抵抗分圧回路30が検出し、電界効果トランジスタFET31に対する電圧の印加を解除し、出力端子43、44間の導通をオフする。なお、抵抗分圧回路30は、電気抵抗の変化に対して逆の動作を行うタイプであってもよいことは勿論である。

【0015】第2実施形態にかかる半導体マイクロリレーは、図2(a)、(b)に示すように、シリコンプレートの下面中央部をエッチングして形成したダイヤフラムを可動部15とした駆動プレート13からなるものである。そして、前記可動部15の下面に対向するガラスプレート14の上面に、駆動用固定電極20が形成されている。一方、前記可動部15の周辺縁部にひずみ抵抗素子21が設けられている。

【0016】前記駆動用固定電極20および可動部15は入力端子41、42にそれぞれ接続されている。また、前記ひずみ素子21は抵抗分圧回路30を介して電界効果トランジスタFET31に接続されている。この抵抗分圧回路30はひずみ抵抗素子21の電気抵抗の変化を検出することにより、電界効果トランジスタFET31をオン、オフするように調整されている。さらに、前記電界効果トランジスタFET31は出力端子43、44に接続されている。

【0017】そして、入力端子41、42に電圧を印加

すると、可動部15および駆動用固定電極23間に静電引力が生じ、可動部12がガラスプレート14側に引き寄せられ、下方側に湾曲する。これに対応して可動部12の周辺縁部に設けたひずみ抵抗素子21が引っ張られて変形し、電気抵抗が大きくなる。この変化を抵抗分圧回路30が検出し、FET31に電圧を印加する。前記抵抗分圧回路30が第1実施形態と同一タイプのものであれば、出力端子43、44間の導通をオン、オフする。しかし、前記抵抗分圧回路30が第1実施形態と逆のタイプのものであれば、第1実施形態と同様に出力端子43、44間の導通をオフ、オンする。

【0018】第3実施形態にかかる半導体マイクロリレーは、図3に示すように、複数の出力端子を同時にオン、オフする場合である。すなわち、前記可動部12の片側縁部に設けた一対のヒンジ部11a、11bの上面にひずみ抵抗素子21a、21bがそれぞれ設けられている。一方、ガラスプレート14の上面には、駆動用固定電極20が形成されている。

【0019】前記駆動用固定電極20および可動部12は入力端子41、42にそれぞれ接続されている。また、前記ひずみ抵抗素子21aは抵抗分圧回路30aを介して電界効果トランジスタFET31aに接続されている。前記抵抗分圧回路30aは前記ひずみ抵抗素子21aの電気抵抗の変化を検出してFET31aをオン、オフするように調整されている。また、前記ひずみ抵抗素子21bは抵抗分圧回路30bを介して電界効果トランジスタFET31bに接続されている。前記抵抗分圧回路30bも、前記ひずみ抵抗素子21bの電気抵抗の変化を検出してFET31bをオン、オフするように調整されている。そして、前記FET31aおよび31bは出力端子43、44および45、46にそれぞれ接続されている。

【0020】したがって、入力端子41、42に電圧を印加すると、可動部12および駆動用固定電極20間に静電引力が生じ、可動部12がガラスプレート14側に引き寄せられる。これに対応し、ひずみ抵抗素子21a、21bの電気抵抗が増大する。この変化を抵抗分圧回路30a、30bがそれぞれ検出し、FET31a、31bに電圧を印加し、出力端子43、44および45、46間の導通をオン、オフする。特に、前記抵抗分圧回路30a、30bが逆の動作を行うようにそれぞれ調整しておけば、一つの駆動素子10でオン、オフ動作を同時に行うことが可能となる。他は前述の実施形態と同様であるので、説明を省略する。

【0021】第4実施形態にかかる半導体マイクロリレーは、図4(a)、(b)に示すように、前述の実施形態が抵抗分圧回路30を電界効果トランジスタFET31に直接接続した場合であるのに対し、抵抗分圧回路30とFET31との間に電圧比較回路32を挿入した場合である。この実施形態によれば、電圧比較回路32が

10

20

30

40

50

抵抗分圧回路30の出力電圧と比較用電圧33とを比較し、FET31にオン、オフ信号を出力する。このため、FET31に印加できる電圧を大きくできるだけでなく、微小な抵抗変化であっても、FET31を確実に駆動できるという利点がある

【0022】特に、図4(b)に示すように、比較用電圧33に電圧調整回路34を付加しておけば、抵抗分圧回路30からの出力電圧に応じた比較用電圧33の選択が可能となる。このため、抵抗分圧回路30からの出力電圧に対する微調整が不要となり、回路構成を簡略化できるといふ利点がある。

【0023】また、図5に示すように、1枚のチップ50上に駆動素子10、入出力処理回路35およびFET31を実装しておいてもよい(第5実施形態)。なお、前記入出力処理回路35は、抵抗分圧回路30、電圧比較回路32等のすべての処理回路を1枚のチップに形成した専用ICである。本実施形態によれば、必要に応じてFET31を選択できるという利点がある。

【0024】さらに、図6に示すように、前記駆動素子10と、前記入出力処理回路およびFETからなる素子36とを1枚のチップ51に集積することにより、ダミー端子を有するICとしてもよい(第6実施形態)。

【0025】なお、前述の実施形態では、片側縁部を片持支持した可動部12の場合、あるいは、全周縁部を支持したダイヤフラムである可動部15の場合について説明したが、必ずしもこれに限らず、例えば、両端支持した可動部であってもよい。

【0026】また、可動部12の表裏面の少なくとも片面に、駆動用可動電極を前記駆動用固定電極20に対向するように設けておいてもよい。

【0027】

【発明の効果】以上の説明から明らかなように、本発明の請求項1または2の半導体マイクロリレーによれば、入力端子と出力端子とが完全に絶縁されているので、耐圧が高い。また、本願の駆動素子が入力端子に入力される信号のノイズの影響を受けにくくなり、電界効果トランジスタFETが誤動作しない。請求項3によれば、複数のひずみ抵抗素子を使用しているので、複数の出力回路を同時に開閉できる。請求項4によれば、抵抗分圧回

路と電界効果トランジスタFETとの間に電圧比較回路を挿入してあるので、電界効果トランジスタFETに印加できる電圧を大きくできるだけでなく、微小な容量変化でも確実に電界効果トランジスタFETを動作できる。請求項5によれば、電圧比較回路に付加した基準電圧調整回路を調整することにより、抵抗分圧回路からの出力に応じた比較用電圧の選択が可能となり、使い勝手の良い半導体マイクロリレーが得られる。請求項6によれば、駆動素子等を1枚のチップに実装することにより、生産性が高く、より微小で使い勝手の良い半導体マイクロリレーが得られるという効果がある。

【図面の簡単な説明】

【図1】 本願発明の第1実施形態にかかる半導体マイクロリレーを示し、図(a)は断面図、図(b)は回路図である。

【図2】 本願発明の第2実施形態にかかる半導体マイクロリレーを示し、図(a)は断面図、図(b)は回路図である。

【図3】 本願発明の第3実施形態にかかる半導体マイクロリレーを示す回路図である。

【図4】 本願発明の第4実施形態にかかる出力側回路を示し、図(a)は出力側回路に電圧比較回路を挿入した場合を示す回路図であり、図(b)は電圧比較回路に電圧調整回路を付加した場合を示す回路図である。

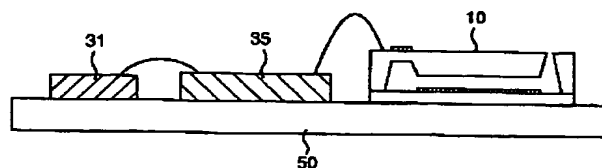
【図5】 本願発明の第5実施形態にかかる半導体マイクロリレーを1チップ上に実装した場合を示す正面図である。

【図6】 本願発明の第6実施形態にかかる半導体マイクロリレーを1チップ上に実装した場合を示す平面図である。

【符号の説明】

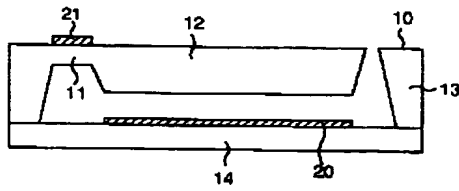
10…駆動素子、11…ヒンジ部、12、15…可動部、13…駆動プレート、14…ガラスプレート、20…駆動用固定電極、21…ひずみ抵抗素子、30…抵抗分圧回路、31…電界効果トランジスタ、32…電圧比較回路、33…比較用電圧、34…電圧調整回路、41、42…入力端子、43、44、45、46…出力端子、50、51…チップ。

【図5】



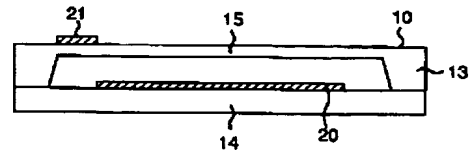
【図1】

(a)

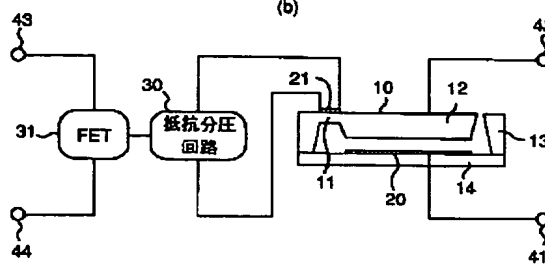


【図2】

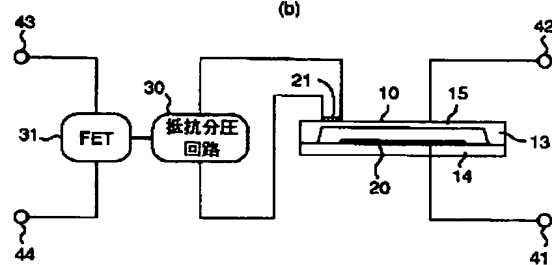
(a)



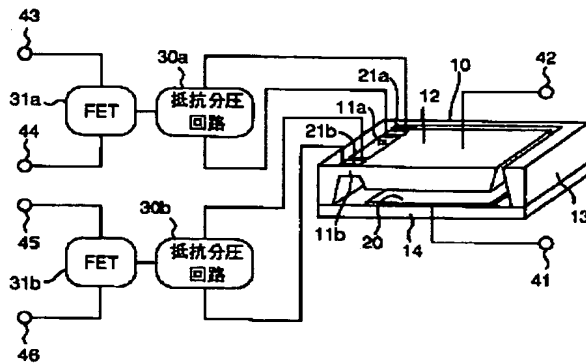
(b)



(b)

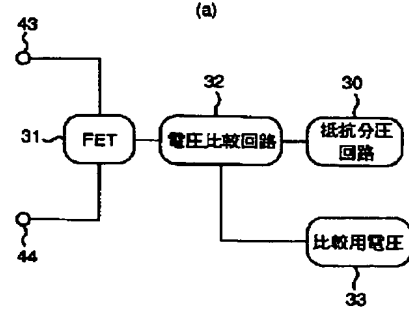


【図3】

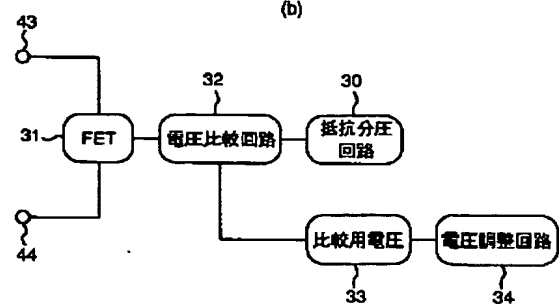


【図4】

(a)



(b)



【図6】

